

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-214432

(43) 公開日 平成11年(1999) 8月6日

(51) Int.Cl.⁶

H 0 1 L 21/60

識別記号

3 1 1

F I

H 0 1 L 21/60

3 1 1 Q

3 1 1 S

審査請求 未請求 請求項の数12 O L (全 6 頁)

(21) 出願番号 特願平10-15491

(22) 出願日 平成10年(1998) 1月28日

(71) 出願人 000001960

シチズン時計株式会社

東京都新宿区西新宿2丁目1番1号

(72) 発明者 小村 敦

埼玉県所沢市大字下富字武野840番地 シ

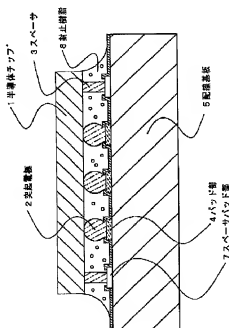
チズン時計株式会社技術研究所内

(54) 【発明の名称】 半導体装置およびスペーサ形成方法

(57) 【要約】

【課題】 実装パッドと突起電極との位置ズレが発生しても半導体チップと配線基板との間隔を一定に保つことが可能な接続ができる。

【解決手段】 配線基板5上に半導体チップ1を突起電極2を介して接続する半導体装置において、最低3箇所に他の突起電極2の高さと同じあるいはそれよりも低いスペーサ3を形成し、その他の突起電極2のみ電気的な接続をおこなう半導体装置およびスペーサ形成方法。



【特許請求の範囲】

【請求項1】 配線基板上に半導体チップを突起電極を介して接続する半導体装置において、最低3箇所に他の突起電極の高さと同じあるいはそれよりも低いスペーサを形成し、その他の突起電極のみ電気的な接続を行うことを特徴とした半導体装置。

【請求項2】 請求項1記載の半導体装置において、スペーサの材料が他の突起電極よりも高融点金属であることを特徴とした半導体装置。

【請求項3】 請求項1記載の半導体装置において、スペーサの材料が樹脂材料であることを特徴とした半導体装置。

【請求項4】 請求項1記載の半導体装置において、スペーサが前記の半導体チップの内部素子形成回路領域以外に配置することを特徴とした半導体装置。

【請求項5】 請求項1記載の半導体装置において、前記半導体チップを搭載する配線基板上に前記の半導体チップのスペーサに対応する電極を形成することを特徴とした半導体装置。

【請求項6】 配線基板上に半導体チップを突起電極を介して接続する半導体装置において、配線基板上に最低3箇所に突起電極に形成している突起電極の高さと同じあるいはそれよりも低いスペーサを形成し、前記の半導体チップの突起電極のみ電気的な接続を行うことを特徴とする半導体装置。

【請求項7】 請求項6記載の半導体装置において、配線基板上に形成するスペーサの材料が半導体チップに形成する突起電極よりも高融点金属であることを特徴とした半導体装置。

【請求項8】 請求項6記載の半導体装置において、配線基板上に形成するスペーサの材料が樹脂材料であることを特徴とした半導体装置。

【請求項9】 請求項6記載の半導体装置において、配線基板上に形成するスペーサ配置が前記の半導体チップを配線基板上に搭載した際に前記の半導体チップの内部素子形成回路領域以外に配置することを特徴とした半導体装置。

【請求項10】 請求項6記載の半導体装置において、前記半導体チップに配線基板のスペーサに対応する電極を形成することを特徴とした半導体装置。

【請求項11】 半導体チップのパッドを形成していない領域に他の電極と電気的に接続していない単独な電極を形成する工程と他の電極と電気的に接続していない単独な電極に他の電極に形成する突起電極より高融点金属のスペーサを形成する工程とを有することを特徴としたスペーサ形成方法。

【請求項12】 半導体チップのパッドを形成していない領域に他の電極と電気的に接続していない単独な電極を形成する工程と他の電極と電気的に接続していない単独な電極に樹脂のスペーサを形成する工程とを有するこ

とを特徴としたスペーサ形成方法

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体チップと配線基板との接続の保り、とくに半導体チップと配線基板との接続にハンダを使ったフリップチップ実装を用いて、半導体チップの電極と配線基板の実装パッドとの接続を行う半導体装置に関する。

【0002】

【従来の技術】従来の技術のフリップチップ実装を用いた半導体装置において、半導体チップと配線基板とを接続するときに、半導体チップと配線基板との接続したときの間隔寸法を均一に保つために、スペーサを用いた半導体装置として、たとえば特開平7-226422号公報などがあげられる。

【0003】従来のスペーサを形成しフリップチップ実装を用いた半導体装置の構造について図13、図14を用いて説明する。

【0004】図13および図14は上記特開平7-226422号公報に開示された半導体装置を示す断面図である。図13の構造について説明する。半導体チップ21上には、所定の温度で溶融する突起電極22とスペーサ23とが形成されていて、スペーサ23の先端にスペーサ23よりも径の小さな小突起26が形成されている。配線基板25には半導体チップ21の突起電極22の配置に対応するようにパッド部24が形成され、スペーサ23の小突起26の配置に対応するように貫通穴27が形成されている。半導体チップ21と配線基板25とは、半導体チップ21に形成した突起電極22で電気的接続を行い、スペーサ23の小突起26は配線基板25の貫通穴27に挿入され、半導体チップ21と配線基板25とが位置決めされている。

【0005】図14の構造について説明する。半導体チップ21上には、所定の温度で溶融する突起電極22とスペーサ23が形成されている。配線基板25には半導体チップ21の突起電極22の配置に対応するようにパッド部24が形成され、スペーサ23の位置を規制するための段差28が形成されている。半導体チップ21と配線基板25とは半導体チップ21に形成した突起電極22で電気的接続を行い、スペーサ23は配線基板25の段差28に対して側面当接され、半導体チップ21と配線基板25とが位置決めされている。

【0006】

【発明が解決しようとする課題】しかしながら、配線基板に穴あるいは段差を設け、半導体チップ側に形成したスペーサの位置決めを行う場合、配線基板の实装パッドと穴あるいは段差との位置ズレが発生した場合、突起電極と電極パッドとが図15のように斜めの接合してしまう。これによって、温度サイクル試験等の環境試験に投入することにより発生する接続部への応力が集中し、半

導体装置の焼成寿命が低下してしまう。また、位置ズレが接続許容範囲を超えた場合、突起電極と電極パッドとが接続できないことが発生する。

【0007】(発明の目的)本発明の目的は、上記の課題を解決して、実装パッドと突起電極との位置ズレが発生しても半導体チップと配線基板との間隔を一定に保つことが可能な半導体半導体装置およびスベサの形成方法を提供することにある。

【0008】

【課題を解決するための手段】前述した目的を達成するために、本発明の半導体装置の構造およびスベサの製造方法は、下記記載の構成を採用する。

【0009】本発明の1つの半導体装置は、配線基板上に半導体チップを突起電極を介して接続する半導体装置において、最低3箇所に他の突起電極の高さと同じあるいはそれよりも低いスベサを形成し、その他の突起電極のみ電気的接続を行うことを特徴としたものである。

【0010】本発明のもう1つの半導体装置は、配線基板上に半導体チップを突起電極を介して接続する半導体装置において、配線基板上に最低3箇所に半導体チップに形成している突起電極の高さと同じあるいはそれよりも低いスベサを形成し、の半導体チップの突起電極のみ電気的接続を行うことを特徴としたものである。

【0011】

【発明の実施の形態】以下、図面を用いて本発明の第1の実施形態における半導体装置の構成の説明を行う。本発明の第1の実施形態については図1～図3を用いて構造を説明する。図1は本発明の第1の実施形態における半導体装置の断面図、図2は半導体チップ1の電極側の平面図、図3は配線基板の半導体チップ実装側の平面図である。

【0012】半導体チップ1は図2を用いて説明する。S1上に電子回路を形成し、その回路の外部端子としてA1などで電極が形成されている。電極の上に配線基板5の電極パッド6との電気的接続を行うためにSnとPbとの比率が6:4の組成のハンダで突起電極1を形成している。

【0013】スベサ3については突起電極2よりも高融点金属であるSn/95Pt高融点ハンダあるいは線膨張係数が20～30ppm/℃の樹脂材料などを用いている。

【0014】半導体チップ1の突起電極2とスベサ3以外の部分はSiN等の無機膜が有機膜にさらにその上にポリイミド等の有機膜による保護膜で覆われ、外部とは電気的に絶縁されている。

【0015】配線基板5は図3を用いて説明する。配線基板が樹脂基板の場合には基材にはガラスエポキシ、Bトレジンやポリイミドなどを用い、セラミック基板の場合にはアルミナなどを用いている。配線基板5のパッド

部4は半導体チップ1に形成している突起電極2の配置に対応するように形成している。

【0016】パッド部4は、半導体チップ1の共晶ハンダで形成した突起電極2が十分に濡れ、かつ完全に密着強度を確保するために、Cu上にAu/Niメッキを施している。それぞれ金属層の厚さはNi層の厚さが3～5μm、Au層の厚さは0.02～0.05μmで形成している。

【0017】スベサ用パッド部7は、突起電極2とスベサ3との高さの設定により2種類考えられる。多くの場合、スベサ用パッド部7を図4(1)あるいは(2)のように形成する。この場合は、突起電極2とスベサ3との高さを同じにする。しかし、突起電極2とスベサ3との間隔が狭い場合や配線基板5の配線の引き直しによってソルダーレジスト6に開口できない場合には、図5のようにスベサのパッド部を形成する。その場合、半導体チップ1のスベサ3高さは突起電極2の高さよりもソルダーレジスト6の厚さ分だけ低く設定する必要がある。

【0018】配線基板5は、上記のパッド部4とスベサ用パッド部7以外部分はソルダーレジスト6で覆われている。

【0019】半導体装置については上記の半導体チップ1と、配線基板5を含め図1を用いて説明する。半導体チップ1上の各突起電極2と配線基板5上のパッド部4との電気的接続は突起電極2のハンダを溶融し、突起電極2とパッド部4との接続する。その際の半導体チップ1と配線基板5との間隔はスベサ3の高さにより決まり、また、傾くことなく常に安定した実装が可能になる。

【0020】半導体チップ1と配線基板5との間には接続部の信頼性向上および半導体チップ1および配線基板5に形成されている回路の保護のために封止樹脂8で封止している。封止樹脂8には熱硬化性のエポキシ樹脂を使用している。

【0021】本発明の第2の実施形態については図6～図8を用いて構造を説明する。図6は本発明の第2の実施形態における半導体装置の断面図、図7は半導体チップ1の電極側の平面図、図8は配線基板の半導体チップ実装側の平面図である。

【0022】半導体チップ1は図7を用いて説明する。S1上に電子回路を形成し、その回路の外部端子としてA1などで電極が形成されている。電極の上に配線基板5の電極パッド6との電気的接続を行うためにSnとPbとの比率が6:4の組成のハンダで突起電極1を形成している。

【0023】スベサ用パッド部11についてはICの電極や配線と同じ材料であるAlや突起電極を形成する際のバリアメタル層の最上層にあたるCuやAuなどで形成されている。

5

【0024】半導体チップ1の突起電極2とスペーサ用パッド部11以外の部分はSiN等の無機膜が前記の無機膜にさらにその上にポリイミド等の有機膜による保護膜で覆われ、外部とは電気的に絶縁されている。

【0025】配線基板5は図8を用いて説明する。配線基板の基材にはガラスエポキシや、BTレジンや、ポリイミドなどを用いている。配線基板5のパッド部4は半導体チップ1に形成している突起電極2の配置に対応するように形成している。

【0026】パッド部4は、半導体チップ1の共晶ハンダで形成した突起電極2が十分に濡れ、かつ充分な密着強度を確保するために、Cu上にAu/Niメッキを施している。各金属層の厚さはNi層の厚さが3〜5μm、Au層の厚さは0.02〜0.05μmで形成している。

【0027】スペーサ10は、突起電極2よりも高融点金属である、5Sn/95Pb高融点ハンダあるいは銀樹脂組成物が20〜30ppm/℃の樹脂材料などを用いている。

【0028】スペーサ10の高さの設定については第1の実施形態と同じで、スペーサ用パッド部11の構造によって高さを突起電極2と同じあるいは突起電極2よりも低く形成する。

【0029】配線基板5は、上記のパッド部4とスペーサ10以外部分はシルダーレジスト6で覆われている。

【0030】半導体装置については上記の半導体チップ1と、配線基板5を含め図6を用いて説明する。半導体チップ1上の各突起電極2と配線基板5上のパッド部4との電気的接続は突起電極2のハンダを溶融し、突起電極2とパッド部4とを接続する。その際、半導体チップ1と配線基板5と間隔はスペーサ10の高さにより決まり、また、傾くことなく常に安定した実装が可能になる。

【0031】半導体チップ1と配線基板5との間には接続部の信頼性向上および半導体チップ1および配線基板5に形成されている回路の保護のために封止樹脂8で封止している。封止樹脂8には熱硬化性のエポキシ系樹脂を使用している。

【0032】第1実施形態に用いたスペーサの形成方法について説明する。図9〜図12の図面を用いて説明する。

【0033】図9は半導体チップ1の断面図である。Si12上に電子回路を形成し、その回路の外部端子としてA1などで電極13が形成されている。電極14以外の部分はSiN等の無機膜が前記の無機膜にさらにその上にポリイミド等の有機膜による保護膜14で覆われ、外部とは電気的に絶縁されている。

【0034】半導体チップ上の全面にA1、Cr、Cuの順にあるいは蒸着あるいはスパッタリングで形成する。さらに、全面にレジストを形成しフォトリソグラフ

6

により、電極14および半導体パッドが形成されていない領域に単独なスペーサ用の電極15を形成する位置の以外のレジストを除去し、レジストをマスクにしてスパッタリング法によるドライエッチングして除去した後、さらにレジストをレジスト剥離液で、除去することで、図10のように電極14およびスペーサ用電極15を形成する。

【0035】図11はスペーサを形成した状態を表す。高融点金属である5Sn/95Pb高融点ハンダのスペーサを形成する場合は、レジストを全面に塗布しスペーサ用電極15のみ開口させ、無電解ハンダメッキによって5Sn/95Pb高融点ハンダのスペーサ15を形成し、レジストを剥離する。

【0036】樹脂のスペーサを形成する場合は、スクリーン印刷法によって、スペーサ用電極15のみ設定した高さの熱硬化型樹脂で形成した後硬化させ、スペーサを形成する。

【0037】その後図12が示すように、突起電極2を形成するためにスクリーン印刷法で共晶ハンダペーストを供給したり、または高粘度のフラックスを電極14のみに塗布したのち転写法で共晶ハンダペーストを供給し、リフロー炉などで共晶ハンダが溶融する温度まで加熱し、電極14上に共晶ハンダの突起電極2を形成する。

【0038】つぎに第2の実施形態に用いたスペーサの形成方法についても第1の実施形態の用いた形成方法スペーサを形成する。

【0039】

【発明の効果】以上説明したように、配線基板上に半導体チップを突起電極を介して接続する半導体装置において、最低3箇所にも他の突起電極の高さと同じあるいはそれよりも低いスペーサを形成し、突起電極のみ接続を行なっている。このことによって、実装パッドと突起電極との位置ズレが発生してもスペーサによって、突起電極と電極パッドとが斜めに接合することがなくなる。このことにより、半導体装置が熱劣化寿命が安定する。

【図面の簡単な説明】

【図1】本発明の第1の実施形態における半導体装置を示す断面図である。

【図2】本発明の第1の実施形態における半導体チップの平面図である

【図3】本発明の第1の実施形態における配線基板の平面図である。

【図4】本発明の第1の実施形態における配線基板のスペーサ用のパッド部の断面図である。

【図5】本発明の第1の実施形態における配線基板のスペーサ用のパッド部の断面図である。

【図6】本発明の第2の実施形態における半導体装置を示す断面図である。

【図7】本発明の第2の実施形態における半導体チップの平面図である

【図8】本発明の第2の実施形態における配線基板の平面図である。

【図9】本発明の第1の実施形態のスペーサの形成方法における半導体チップ断面図である

【図10】本発明の第1の実施形態のスペーサの形成方法における半導体チップにスペーサ用電極を形成した状態を示す断面図である。

【図11】本発明の第1の実施形態のスペーサの形成方法における半導体チップにスペーサを形成した状態を示す断面図である。

【図12】本発明の第1の実施形態のスペーサの形成方法における半導体チップに突起電極を形成した状態を示す断面図である。

【図13】従来技術における半導体装置を示す断面図で

ある

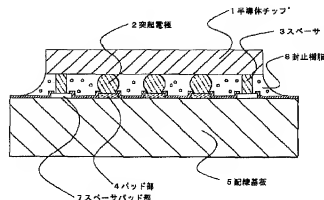
【図14】従来技術における半導体装置を示す断面図である

【図15】従来技術における半導体装置の接続部を示す断面図である

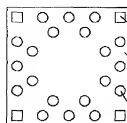
【符号の説明】

- 1 半導体チップ
- 2 突起電極
- 3 スペーサ
- 4 パッド部
- 5 配線基板
- 6 ソルダーレジスト
- 7 スペーサパッド部
- 8 封止樹脂

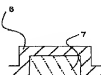
【図1】



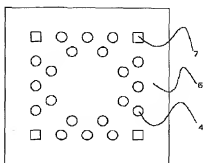
【図2】



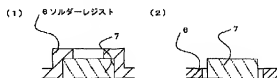
【図5】



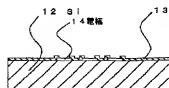
【図3】



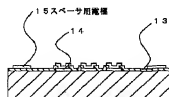
【図4】



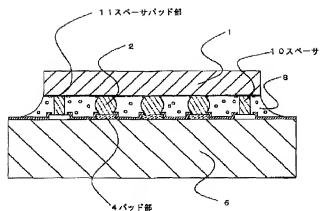
【図9】



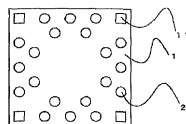
【図10】



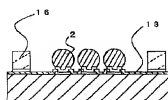
【図6】



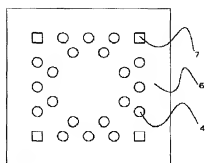
【図7】



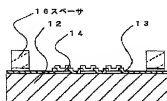
【図12】



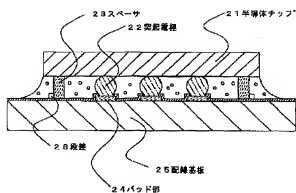
【図8】



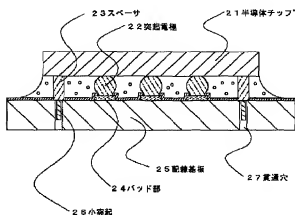
【図11】



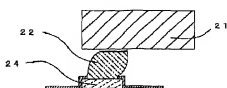
【図14】



【図13】



【図15】



DERWENT-ACC-NO: 1999-500133
DERWENT-WEEK: 199951
COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Wiring board structure for mounting semiconductor device e.g. chip - has spacers with height smaller than of bump electrodes used for electrically connecting device to wiring board, on both ends of chip.

PATENT-ASSIGNEE: CITIZEN WATCH CO LTD[CITL]

PRIORITY-DATA: 1998JP-0015491 (January 28, 1998)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE
PAGES	MAIN-IPC	
JP 11214432 A	August 6, 1999	N/A
006	H01L 021/60	

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO
APPL-DATE		
JP 11214432A	N/A	1998JP-0015491
	January 28, 1998	

INT-CL (IPC): H01L021/60

ABSTRACTED-PUB-NO: JP 11214432A

BASIC-ABSTRACT: NOVELTY - The semiconductor chip (1) is provided with identical bump electrodes (2) using which the chip is electrically connected to the wiring board (5). Spacers (3) with height smaller than that of the bump electrodes are provided on both ends of the chip. The spacers are made of same refractory metals as that used for making the bump electrodes. DETAILED

DESCRIPTION - An INDEPENDENT CLAIM is also included for spacer formation method.

USE - For mounting semiconductor devices such as chip in electronic machines.

ADVANTAGE - Since spacers are provided on both ends of the chip while mounting the chip onto the wiring board, even when a positional offset occurs between the mounting pad and bump electrode, the space between the semiconductor chip and wiring board is uniform. Stabilizes the device by providing thermal fatigue durability. DESCRIPTION OF DRAWING(S) - The figure shows the sectional view of the semiconductor device. (1) Semiconductor chip; (2) Bump electrode; (3) Spacer; (5) Wiring board.

CHOSEN-DRAWING: Dwg.1/15

TITLE-TERMS:

WIRE BOARD STRUCTURE MOUNT SEMICONDUCTOR DEVICE CHIP SPACE
HEIGHT SMALLER BUMP
ELECTRODE ELECTRIC CONNECT DEVICE WIRE BOARD END CHIP

DERWENT-CLASS: U14 V04

EPI-CODES: U14-H03B; V04-Q05;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N1999-373291